

WEST**End of Result Set**

Generate Collection

Print

L4: Entry 1 of 1

File: JPAB

Apr 26, 1989

PUB-NO: JP401109746A

DOCUMENT-IDENTIFIER: JP 01109746 A

TITLE: CMOS GATE ARRAY

PUBN-DATE: April 26, 1989

INVENTOR-INFORMATION:

NAME

COUNTRY

TAKIGUCHI, MASAO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

APPL-NO: JP62268426

APPL-DATE: October 22, 1987

US-CL-CURRENT: 257/203; 257/E27.11

INT-CL (IPC): H01L 21/82; H01L 21/88; H01L 27/04

ABSTRACT:

PURPOSE: To obtain an input-output device forming a power supply pad or a ground supply pad, by forming a pad part between an N-channel transistor and a P-channel transistor which constitute a buffer part.

CONSTITUTION: An N-channel source 6 and an N-channel gate 7 are connected to a second layer wiring 3 supplying negative charge, via a first layer wiring. A P-channel gate 10 and a P-channel drain 11 are connected to a second layer wiring 4 supplying positive charge, via the first layer wiring. Further the second layer wiring 4 supplying positive charge and the second layer wiring 2 for a pad part are connected to form a power supply pad. The second layer wiring 3 supplying negative charge and the second layer wiring 2 are connected to form a ground pad.

COPYRIGHT: (C)1989, JPO&Japio

⑫ 公開特許公報(A)

平1-109746

⑤ Int. Cl.⁴H 01 L 21/82
21/88
27/04

識別記号

庁内整理番号

7925-5F
Z-6708-5F
D-7514-5F

④ 公開 平成1年(1989)4月26日

審査請求 未請求 発明の数 1 (全4頁)

⑥ 発明の名称 CMOSゲートアレイ

⑦ 特 願 昭62-268426

⑧ 出 願 昭62(1987)10月22日

⑨ 発 明 者 瀧 口 雅 雄 兵庫県伊丹市瑞原4丁目1番地 三菱電機セミコンダクタ
ソフトウェア株式会社北伊丹事業所内

⑩ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑪ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

CMOSゲートアレイ

2. 特許請求の範囲

(1) パッドの位置が入出力バッファを構成するPチャネルトランジスタ領域とNチャネルトランジスタ領域の中央にあり、Pチャネルトランジスタ上に電源配線、Nチャネルトランジスタ上にグランド配線があることを特徴とするCMOSゲートアレイ。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明はCMOSゲートアレイ、特にその入出力装置の構造に関するものである。

〔従来の技術〕

第5図(a)は従来の入出力装置の構造の一例を示す平面図を示す。

このものは、CMOSトランジスタからなるバッファ(1)に隣接するパッド部(2)から構成されている。ここで(3)はCMOSバッファのNチャネルトランジ

スタに負の電荷を供給する第2層配線である。また、(4)はCMOSバッファのPチャネルトランジスタに正の電荷を供給する第2層配線である。

次に、第5図(b)は前記第5図(a)の入力装置を出力装置として構成した断面図を示す。

このものは、シリコン基板(5)、上にNチャネルソース(6)、Nチャネルゲート(7)、Nチャネルドレイン(8)、Pチャネルドレイン(9)、Pチャネルソース(10)、Pチャネルドレイン(11)を形成する。その後、Nチャネルソース(6)は、第1層配線を介して負の電荷を供給する第2層配線(3)と接続している。Pチャネルソース(10)は第1層配線を介して正の電荷を供給する第2層配線(4)と接続している。Nチャネルドレイン(8)とPチャネルドレイン(9)は第1層配線で接続され第2層配線を介してパッド部(2)と接続されている。この接続により出力バッファ(1)を形成する。

第5図(c)は上記第5図(a)の入出力装置を入力装置として構成した断面図を示す。

これは前記第5図(b)の第1層配線でNチャネル

ドレイン(8)とPチャネルドレイン(9)を接続して、た代わりに第1層配線にNチャネルゲート(7)とPチャネルゲート(10)を接続することにより入力装置を形成する。

また、入出力装置は前記第5図(b)と第5図(c)のバット部(2)に接続される第1層配線を接続することによって実現できる。

〔発明が解決しようとする問題点〕

従来の入出力装置は以上のように構成されていたので、自由に電源ピン、グランドピンを指定することができず、それを実現するためには図形データを作業者の手により改定しなければいけないなどの問題点があつた。

また、隣接する出力パツファを接続することにより大きな出力電流を得ようとした時、インピーダンスを低くするため、電源、グランドパッドの近くに出力装置を置く必要があるなどの問題点もあつた。

この発明は上記のような問題点を解消するためになされたもので、自由に電源ピン、グランドピ

ンを指定できるとともに従来の機能もそのまま実現でき、さらに出力装置同士を接続すると同時に電源又はグランド供給パッドを形成する入出力装置を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係る入出力装置はバット部をパツファ部を構成するNチャネルトランジスタとPチャネルトランジスタの間に形成するようにしたものである。

〔作用〕

この発明における入出力装置は第1層、第2層配線により、入出力用装置、電源用装置、グランド用装置を、容易に形成するものである。

〔実施例〕

以下、この発明の一実施例を図について説明する。

第1図(a)はこの発明の一実施例による入出力装置を、電源用装置とした時の平面図を示し、第1図(b)はその断面構造を示す。

第1図(b)に示すように電源用装置はシリコン基

板(5)上にNチャネルソース(6)、Nチャネルゲート(7)、Nチャネルドレイン(8)で形成されるNチャネルトランジスタと、Pチャネルドレイン(9)、Pチャネルゲート(10)、Pチャネルソース(11)で形成されるPチャネルトランジスタを形成する。

この後、Nチャネルソース(6)、Nチャネルゲート(7)を第1層配線を介して負の電荷を供給する第2層配線と接続する。これによりNチャネルトランジスタをOFFトランジスタとする。

次に、Pチャネルゲート(10)とPチャネルドレイン(9)を、第1層配線を介して正の電荷を供給する第2層配線と接続する。同様に、PチャネルトランジスタをOFFトランジスタとする。さらに、正の電荷を供給する第2層配線(4)とバット部の第2層配線(2)を接続することにより、電源用パッドを形成する。

次に、第2図(a)はこの発明の一実施例による入出力装置をグランド用装置としたときの平面図を示し、第2図(b)はその断面構造を示す。

図に示すように、上記電源用装置の正の電荷を

供給する第2層配線(6)とバット部の第2層配線(2)を接続する代りに、負の電荷を供給する第2層配線(3)とバット部の第2層配線(2)を接続することにより、グランド用パッドを形成する。

次に、第3図(a)はこの発明の一実施例による入出力装置を一方を出力装置、他方を電源用装置としたときの平面図を示し、第3図(b)は第3図(a)の上部、入出力装置を電源用装置とした時の断面図を、第3図(c)は第3図(b)の下部、入出力装置を出力用装置とした時の断面図を各々示す。

第3図(b)は、バット部(2)を正電荷を供給する第2層配線と接続し電源用装置としたものである。しかしながらNチャネルドレイン(8)とPチャネルドレイン(9)を第1層配線により接続し、Nチャネルゲート(7)とPチャネルゲート(10)も第1層配線により接続することにより、電源用装置を形成し、しかも、第1層配線により、出力用装置をも同一装置内に形成できる。

次に、第3図(c)はNチャネルドレイン(8)とPチャネルドレイン(9)を第1層配線を介してバット部

(2)の第2層配線と接続することにより出力装置を形成する。

この第3図(b)の出力装置のP、Nチャネルドレイン(9)、(8)を接続する第1層配線と、同様に形成された第3図(c)の第1層配線と接続することにより最大出力電流の大きな出力装置を形成する。

次に、第4図(a)はこの発明を使用して従来の機能を実現した時の入出力装置の平面図を示し、第4図(b)は入出力装置を入力装置として、第4図(c)は出力装置とした断面図を各々示す。

第4図(b)に示すように、Nチャネルトランジスタのゲート(7)とPチャネルトランジスタのゲート(10)とを、第1層配線により接続し、その第1層配線とパット部の第2層配線(2)と接続することにより、従来の入力装置と同等な機能を持つ入力装置を形成する。第4図(c)は前記第3図(c)と同様な出力装置を形成したものである。前記第3図(c)は隣接する出力装置と第1層配線により接続されていたが、ここでは一出力装置を形成したものである。

さらに入出力装置を入出力装置として同一装置

の平面図、断面図および断面図である。

図において、(1)はパッド部、(2)はパット部、(3)、(4)は第2層配線、(5)はシリコン基板、(6)、(10)はソース、(7)、(10)はゲート、(8)、(9)はドレインである。

なお、図中、同一符号は同一、又は相当部分を示す。

代理人 大 岩 増 雄

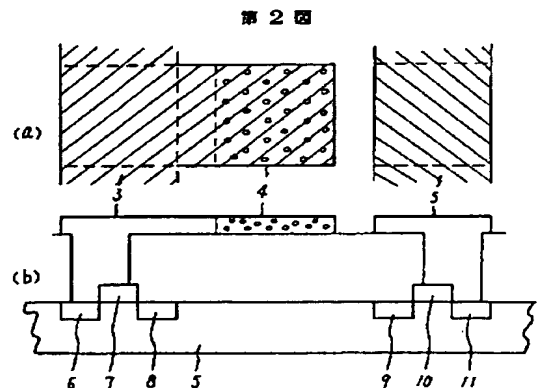
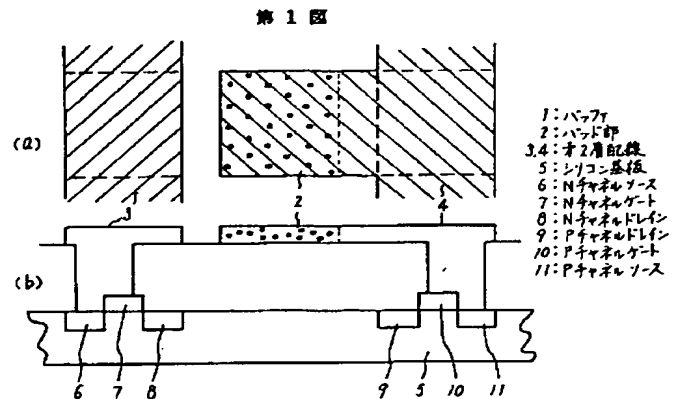
上に形成するには、入力用N、Pトランジスタのゲート(7)、(10)と出力用N、Pトランジスタのドレイン(8)、(9)を第1層配線により形成することで実現できる。

〔発明の効果〕

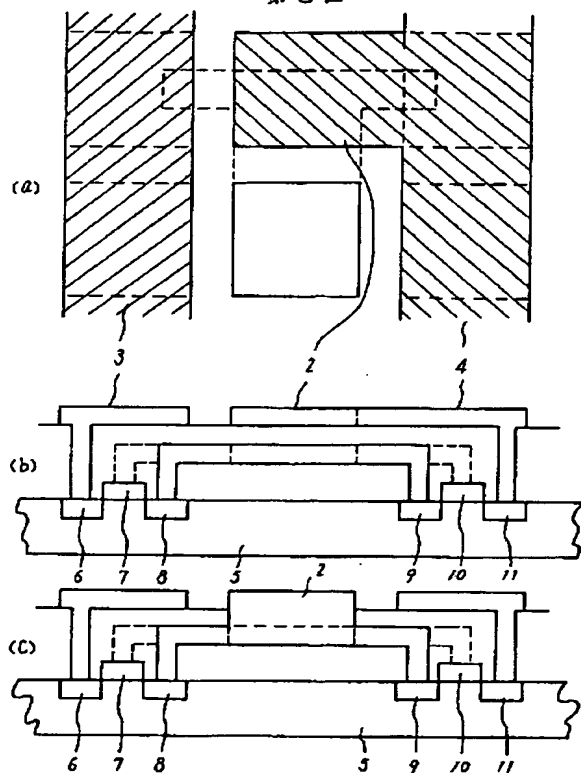
以上のようにこの発明によれば、パット部をバンプ上に形成したので入出力装置を電源用又はグランド用としてパット部を使用でき、また隣接するバンプをダブル出力バンプとして使用する時、電源又はグランド供給パットをも同時に備えることができるのと同時に同時に従来の機能をも同様に得られる効果がある。

4. 図面の簡単な説明

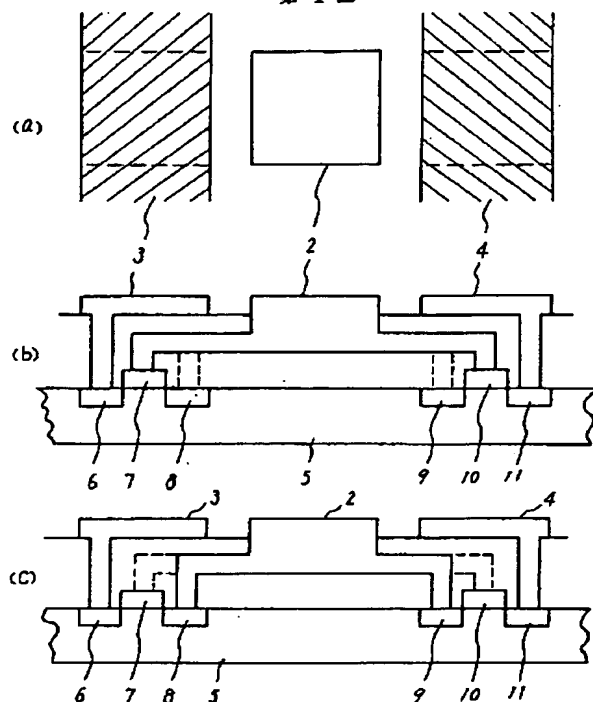
第1図(a)、(b)はこの発明の一実施例による電源用装置の場合の平面図および断面図、第2図(a)、(b)はグランド用装置の場合の平面図および断面図、第3図(a)～(c)は隣接する出力装置の場合の平面図、断面図および断面図、第4図(a)～(c)は入力用及び出力用装置の場合の平面図、断面図および断面図、第5図(a)～(c)は従来の入力及び出力用装置の場合



第3圖



第4圖



第5圖

